



Universidad
de Alcalá

Ejercicios del Tema 3

Sistemas Electrónicos
Digitales

Universidad de Alcalá

Curso Académico 2014/2015

Curso 3º – Cuatrimestre 1º

Ejercicio 1

Se dispone de chips de EEPROM de 2Kx8. Realice la ampliación a 8Kx8 manteniendo una señal de selección de chip.

Ejercicio 2

Se necesita un bloque de memoria SRAM de 4Kx8, pero únicamente se dispone de dispositivos de 1Kx4. Realice la ampliación requerida de la manera más eficiente e indique el tiempo que se tarda en escribir la totalidad de las posiciones de la memoria ampliada.

Ejercicio 3

Se desea un sistema de memoria SRAM de 64Kbytes, pero únicamente se disponen de chips de 16Kx4. Realice la ampliación necesaria para disponer de la memoria requerida.

Ejercicio 4

A partir de un chip de memoria SRAM de 4Mx8 y de dos chips SRAM de 2Mx8, obtenga una ampliación de memoria de una capacidad total de 4Mx16 que disponga de señal de chip select, de forma que se maximice la velocidad de acceso.

Ejercicio 5

Realice la ampliación de memoria RAM genérica necesaria para obtener un tamaño total de 6Kbytes, a partir de circuitos integrados disponibles sólo en 4Kx4 y 2Kbytes y puertas lógicas.

Ejercicio 6

Diseñe con memorias RAM de 128 Kbytes un bloque de memoria de capacidad total 512 Kbytes, utilizando el mínimo número de chips. El ancho de palabra y todos los accesos del nuevo bloque seleccionado será de 16 bits.

Ejercicio 7

Se desea implementar un mapa de memoria RAM de 16Kbytes para un microprocesador de 8 bits, para lo cual se dispone de integrados de 16K4, 16K8 y 8K8. Indique justificadamente:

1. Número y tipo de integrado que minimiza la implementación del mapa de memoria comentado.
2. Suponiendo que se eligen integrados de 8K8, implemente el mapa físico pedido, indicando que posiciones de memoria se incluyen en cada chip. Utilice todas las señales del microprocesador y del chip de memoria que sean estrictamente necesarias. ¿Qué tipo de ampliación de memoria se está usando?

Ejercicio 8

Se ha diseñado una tarjeta basada en un microprocesador de 8 bits, con bus de direcciones de 24 bits, para realizar el control de acceso a una fábrica. El sistema posee un lector de tarjetas magnéticas, que identifican a los usuarios. Además de permitir el acceso a los usuarios correctamente identificados, el sistema realizará un histórico de los accesos de los mismos, entre otras funcionalidades.

Inicialmente se conoce la siguiente información:

- La aplicación (programa de gestión) tiene un tamaño de 15 Kbytes.
 - Se necesita hacer uso de tablas de datos con información de los usuarios, almacenadas de antemano (antes de que el sistema comience a funcionar) en memoria, con un tamaño máximo de 16Kbytes.
 - La aplicación maneja subrutinas, acepta interrupciones y pasa parámetros a través de memoria. Para el paso de parámetros por memoria se estima un uso máximo de 8Kbytes. Para el resto de operaciones, tanto de lectura como de escritura, se necesitarán 8Kbytes.
 - El área que el sistema dedica a entrada/salida (interfaces con periféricos) ocupa un tamaño de 16Kbytes.
1. Indique razonadamente el número, tipo y tamaño de chips de memoria que utilizaría para implementar el sistema completo, según las especificaciones dadas.
 2. Para realizar el mapeado de los elementos se deben tener en cuenta las siguientes premisas:
 - Se debe ocupar el mínimo espacio de memoria, realizando el máximo aprovechamiento de la misma.
 - La memoria EPROM se ubicará a partir de la dirección 0, y la memoria RAM debe ocupar la última dirección del mapa.
 - Las tablas de datos se ubicarán en las últimas posiciones de la memoria que las alberga.
 - El área dedicada a entrada/salida, se debe mapear antes de la memoria RAM.

Con las premisas indicadas represente gráficamente el mapa funcional del sistema, indicando las direcciones de comienzo y fin de cada bloque.

3. Realice la lógica de selección del sistema de memoria completo, usando decodificación incompleta. Indique con cuántas direcciones diferentes se accede a cada posición de memoria. Suponga que el microprocesador tiene línea de control de operación R/W# y línea de validación de dirección /AS.
4. Repita el apartado anterior, teniendo en cuenta las siguientes premisas:
 - El microprocesador tiene un bus de datos de 16 bits, divididos en parte alta (D[15:8]) y parte baja (D[7:0]).
 - El mapa se divide en banco par e impar, pudiéndose acceder en tamaño byte (dirección par o impar) o en tamaño 16 bits (sólo direcciones pares).
 - Existe una línea que indica el tipo de acceso, denominada SIZ, que cuando vale 0 significa tamaño byte, y 1 para tamaño 16 bits.

Ejercicio 9

Para un sistema digital basado en un microprocesador genérico de 8 bits, se desea implementar el mapa de memoria funcional de la figura 1.

Se pide:

1. Complete el mapa de memoria funcional indicando las direcciones de principio y fin de cada una de las zonas de memoria.
2. Diseñe el mapa de memoria físico (sobre la figura 1.2), de manera que el número de circuitos integrados sea mínimo. Puede emplear memorias EPROM y RAM de 8 bits de capacidades: 1 Kbytes, 2 Kbytes, 4 Kbytes, 8 Kbytes, 16 Kbytes y 32Kbytes. Debe indicar las direcciones de inicio y fin de cada circuito integrado, su capacidad y el tipo de memoria empleada.

Nota: Las zonas de memoria de usuario y sistema deben estar en circuitos integrados distintos. No es obligatorio que se utilicen todas las posiciones de cada chip, si con ello se consigue reducir el número de circuitos integrados.

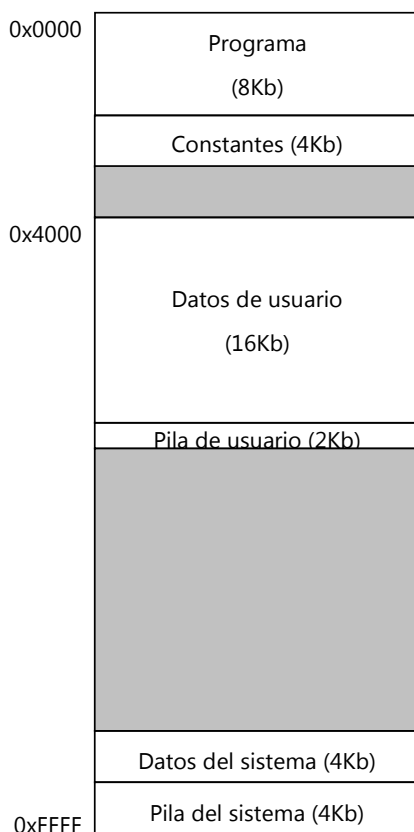


Figura 1. Mapa de memoria software.

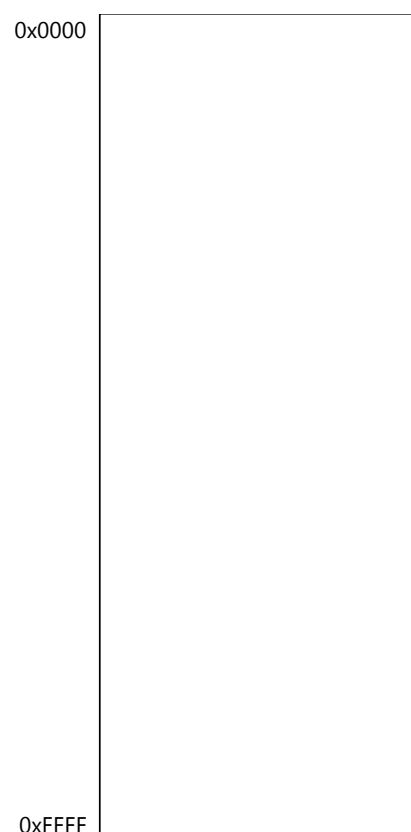


Figura 2. Mapa de memoria hardware.

Ejercicio 10

En la figura 1 se muestra un diseño de un sistema de memoria, previsto para trabajar con un microprocesador de 8 bits, con una capacidad de direccionamiento de 2Kbytes.

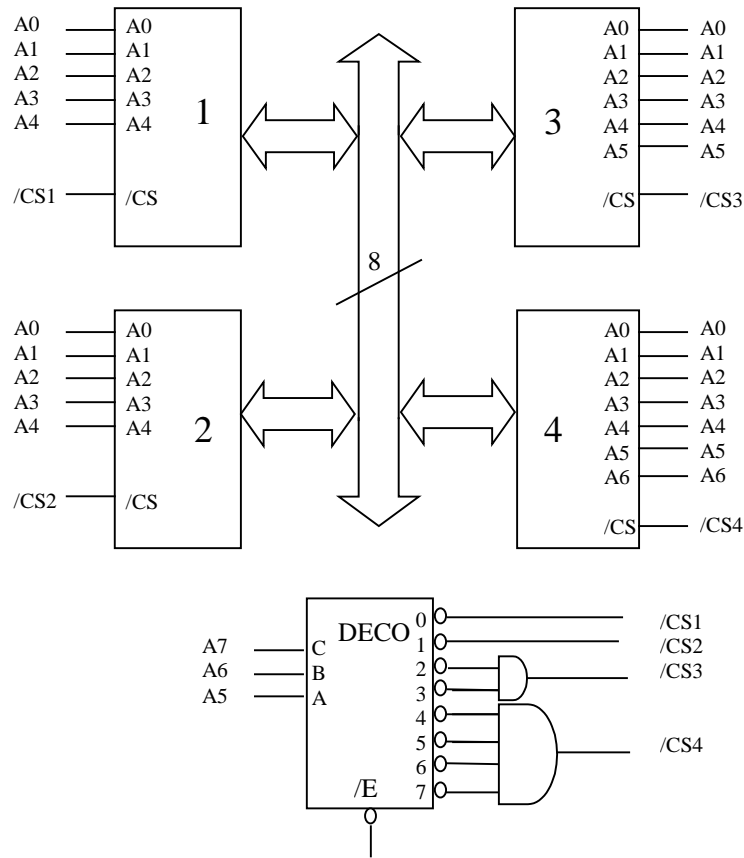


Figura 1

- Suponiendo que siempre está habilitado el decodificador, indique la capacidad de cada uno de los circuitos de memoria, así como la del sistema completo. (5 puntos)

	Capacidad
Circuito 1	
Circuito 2	
Circuito 3	
Circuito 4	
Sistema completo	

- Se desea incluir el bloque de memoria anterior en el mapa del microprocesador. Añada a la figura 1 los elementos que considere oportunos, para que el sistema de memoria esté ubicado a partir de la dirección 0x400, haciendo uso de decodificación completa. (5 puntos)
- Suponiendo que el sistema de memoria se mapea correctamente a partir de la dirección 0x400, indique qué direcciones del mapa ocupa cada uno de los circuitos de la figura 1. (5 puntos)

	Inicio (Hex)	Fin (Hex)
Circuito 1		
Circuito 2		
Circuito 3		
Circuito 4		

3. A partir del $CS_{RAM}\#$ generado anteriormente, genere el **$CS\#$ individual de los chips de memoria volátil colocados en el banco más bajo y en el más alto.**
4. Represente la conexión entre los chips de memoria y el procesador, incluyendo las líneas que intervienen en las operaciones de acceso (direcciones, datos y control). Asegure que solo se activa $OE\#$ si se accede a lectura a dichos chips.